

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 4 月 5 日 (05.04.2001)

PCT

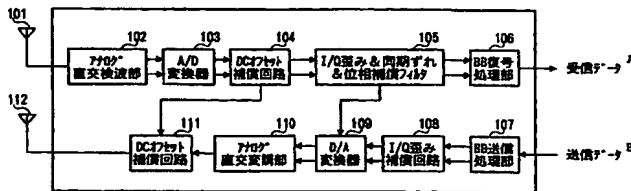
(10) 国際公開番号  
WO 01/24390 A1

- (51) 国際特許分類: H04B 1/40, (72) 発明者; および  
H04L 27/01, H03H 17/02, 17/06, 21/00 (75) 発明者/出願人 (米国についてのみ): 北川恵一 (KITA-GAWA, Keiichi) [JP/JP]; 〒239-0847 神奈川県横須賀市光の丘6-2-707 Kanagawa (JP). 斉藤佳子 (SAITO, Yoshiko) [JP/JP]; 〒239-0806 神奈川県横須賀市池田町4-3-20-301 Kanagawa (JP). 上杉 充 (UESUGI, Mitsuru) [JP/JP]; 〒238-0048 神奈川県横須賀市安針台17-1-402 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP00/06241
- (22) 国際出願日: 2000 年 9 月 13 日 (13.09.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願平11/277386 1999 年 9 月 29 日 (29.09.1999) JP  
特願2000/9267 2000 年 1 月 18 日 (18.01.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (74) 代理人: 鷺田公一 (WASHIDA, Kimihito); 〒206-0034 東京都多摩市鶴牧1丁目24-1 新都市センタービル5階 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT,

[続葉有]

(54) Title: TRANSMITTER/RECEIVER

(54) 発明の名称: 送受信装置



102...ANALOG ORTHOGONAL DETECTION  
103...A/D CONVERTER  
104...DC OFFSET COMPENSATING CIRCUIT  
105...I/Q DISTORTION & OUT-OF-SYNCHRONIZATION & PHASE  
COMPENSATION FILTER  
106...BB DECODING UNIT  
A...RECEIVED DATA  
111...DC OFFSET COMPENSATING CIRCUIT  
110...ANALOG ORTHOGONAL MODULATING UNIT  
109...D/A CONVERTER  
108...I/Q DISTORTION COMPENSATING CIRCUIT  
107...BB TRANSMITTING UNIT  
B...TRANSMISSION DATA

(57) Abstract: The DC offset, I/Q level ratio, disorder of I/Q orthogonality, out-of-synchronization, phase rotation due to difference between feed lines which are factors of waveform distortion fixedly added to the received signal are all compensated by digital signal processing. Therefore the compensation operation can be performed by a simple processing. As a result, conventional complex compensation operation can be omitted.

(57) 要約:

受信信号に固定的に付加される波形ひずみの要因であるDCオフセット、I/Qレベル比、I/Q直交性の乱れ、同期ずれ、給電線差による位相回転の補償をデジタル信号処理で実現する。このため、簡単な処理で補償動作を行うことができる。これにより、従来煩雑であった各補償動作を省略することができる。



RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA,  
UG, US, UZ, VN, YU, ZA, ZW.

添付公開書類:

— 国際調査報告書

- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 送受信装置

## 5 技術分野

本発明は、ディジタル無線通信システムにおいて使用される送受信装置に関する。

## 背景技術

- 10 ディジタル無線通信システムにおいて、移動局のような通信端末装置や基地局装置などに備えられる送受信装置で固定的に付加される波形ひずみの要因としては、DCオフセット、I/Qレベル比、I/Q直交性の乱れ、同期ずれ、給電線差による位相回転などが考えられる。従来の送受信装置においては、これらの要因を個々に調整している。

- 15 図1は、従来の送受信装置の構成を示すブロック図である。アンテナ1で受信された信号は、アナログ検波部2に送られ、そこでアナログ検波される。アナログ検波された信号は、I/Q歪み補償回路3に送られ、I/Q歪み補償される。このI/Q歪み補償では、I/Qの電圧をオシロスコープなどで測定し、I、QをX-Y軸にして波形が円になるように補正して、I/Qレベル比、直交性の乱れをアナログ的に調整する。I/Q歪み補償された信号は、A/D変換器4に送られて、そこでA/D変換される。
- 20

- このようにして得られたディジタル信号は、DCオフセット補償回路5に送られて、DCオフセット補償される。DCオフセット補償においては、入力をターミネートして測定される電圧レベルを測定し、これが無くなるようにアナログ的に調整する。さらに、A/D変換器4で加わるI/Q歪みも上記と同様にI/Q歪み補償回路6にて補償される。
- 25

DCオフセット補償された信号は受信RNF（ルートナイキストフィルタ）

7に送られ、フィルタリングされる。フィルタリングされた信号は、位相補償フィルタ8に送られ、位相回転フィルタを通すことにより給電線差による位相補償がなされる。

次いで、位相補償された信号は、同期ずれ補償フィルタ9に送られ、そこで  
5 同期ずれ補償される。同期ずれ補償においては、考えられる範囲、例えば、 $\pm T/2$  ( $T$ : 1シンボル時間) ならば、 $T/2$  間隔3タップのデジタルフィルタ(フィルタ係数は、例えばオール1)を挿入して同期ずれを吸収する。このようにして各要因について補償した信号は、BB(ベースバンド)復号処理部10に送られ、復号されて受信データとなる。

10 一方、送信データは、BB送信処理部11に送られ、そこでデジタル変調処理などが行われる。このデジタル変調後の信号はD/A変換器12に送られ、D/A変換される。得られたアナログ信号は、I/Q歪み補償回路13に送られ、そこで受信側のI/Q歪み補償回路3と同じようにI/Q歪み補償される。

15 I/Q歪み補償された信号は、アナログ直交変調部14に送られ、アナログ直交変調処理される。直交変調された信号は、DCオフセット補償回路15に送られ、そこでDCオフセット補償される。DCオフセット補償においては、キャリアリーク測定(無変調キャリアを入力して、IF段などでそのキャリア周波数にどれだけの漏れ込みがあるかをスペクトラムアナライザなどを使っ  
20 て測定する)し、この測定値が所望のレベル以下になるようにアナログ的に調整する。このようにDCオフセット補償された信号は、アンテナ16を介して送信される。

しかしながら、従来の送受信装置では、各々の歪み成分に関する補償を上記のように別個に行っており、非常に煩雑な手順を追って実現している。

#### 発明の開示

本発明の目的は、受信信号に固定的に付加される波形ひずみの要因を簡単に

補償することができる送受信装置を提供することである。

本発明の主題は、受信信号に固定的に付加される波形ひずみの要因であるDCオフセット、I/Qレベル比、I/Q直交性の乱れ、同期ずれ、給電線差による位相回転の補償をデジタル信号処理で実現することである。

5

#### 図面の簡単な説明

図1は、従来の送受信装置の構成を示すブロック図；

図2は、本発明の実施の形態1に係る送受信装置の構成を示すブロック図；

図3は、上記構成の送受信装置のI/Q歪み&同期ずれ&位相補償フィルタ

10 

の構成を示すブロック図；

図4は、図3に示すI/Q歪み&同期ずれ&位相補償フィルタ内のフィルタの構成を示す図；

図5は、図2に示すI/Q歪み&同期ずれ&位相補償フィルタの構成方法を説明するための図；

15 

図6は、本発明の実施の形態2に係る送受信装置の構成の一部を示すブロック図；並びに

図7は、本発明の実施の形態3に係る送受信装置の構成の一部を示すブロック図である。

20 

#### 発明を実施するための最良の形態

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。

##### (実施の形態1)

図2は、本発明の実施の形態1に係る送受信装置の構成を示すブロック図である。受信機側においては、アンテナ101で受信された信号は、アナログ直交検波部102に送られ、そこでアナログ直交検波される。アナログ直交検波された信号は、A/D変換器103に送られて、そこでA/D変換される。こ  
25 

こで、A/D変換後の信号は、DCオフセット、I/Q歪み、同期ずれ、位相

歪みが加わった状態である。

- このようにして得られたデジタル信号は、D Cオフセット補償回路104に送られて、D Cオフセット補償される。D Cオフセット補償においては、+、-の出現確率が等しいランダムデータを、ある一定区間、単に足し合わせて、
- 5 この結果をD C成分として補償するようにしている。これは、このランダムデータは+、-で出現確率が等しいので、データ自体の値は相殺されて、D Cオフセットのみが残るので、これをD C成分として利用できるからである。具体的には、 $\alpha$ のオフセットがあつて、 $x$ サンプル足しあわせると $x * \alpha$ が求められるので、最終的に $x$ で割ることによりD Cオフセットを得ることができる。
- 10 なお、 $x$ を2のべき乗に選んでおくことにより、割り算でなくビットシフトで実現することができるので、より簡単にD Cオフセットを得ることができる。

- このような+、-の出現確率が等しいランダムデータを用いたD Cオフセットを行うことにより、単に所定信号区間足しあわせる簡単なデジタル処理でD Cオフセット補償を行うことができる。これにより、煩雑な調整動作を省く
- 15 ことができる。

- D Cオフセット補償された信号は、I/Q歪み&同期ずれ&位相補償フィルタ（以下、デジタルフィルタと省略する）105に送られ、そこでデジタル信号処理により、I/Q歪み補償、同期ずれ補償、位相補償が行われる。これらの補償がなされた信号は、B B（ベースバンド）復号処理部106に送ら
- 20 れ、復号されて受信データとなる。

- 一方、送信機側においては、送信データは、B B送信処理部107に送られ、そこでデジタル変調処理などが行われる。I/Q歪み補償回路108では、デジタルフィルタ105と同じ構成のフィルタが用いられ、後段のD/A変換器109及びアナログ直交変調部110で加わるであろうI/Q歪みの逆
- 25 歪みが補償値として加えられる。ここでは、位相歪みの逆歪みも加えられる。このデジタル変調後の信号はD/A変換器109に送られ、D/A変換される。

I/Q歪み補償された信号は、アナログ直交変調部110に送られ、アナログ直交変調処理される。直交変調された信号は、DCオフセット補償回路111に送られ、そこでDCオフセット補償される。DCオフセット補償は、受信側と同じように行う。このようにDCオフセット補償された信号は、アンテナ  
5 112を介して送信される。

送受信装置においては、受信側のアナログ直交検波部102と送信側のアナログ直交変調部110で同じICを用いることがある。この場合には、受信側のデジタルフィルタ105で得られたフィルタ係数を送信側のI/Q歪み補償回路108に送り、I/Q歪み補償回路108で入力したフィルタ係数を用いてデジタルフィルタを構成し、逆歪みを与えるようにしても良い。これ  
10 により、装置における演算量を少なくすることができ、装置負荷を軽減することができる。

また、この場合、受信側で得られたDCオフセット補償回路104で得られたオフセット補償値を送信側のDCオフセット補償回路111に送り、受信側  
15 から取得したオフセット補償値を用いて直交変調後のアナログ信号にDCオフセット補償を行う。これにより、装置における演算量を少なくすることができ、装置負荷を軽減することができる。

次に、上記送受信装置のデジタルフィルタ105の動作について説明する。

このデジタルフィルタ105は、DCオフセット以外の歪みを一括して補償するものである。また、このデジタルフィルタ105は、ルートナイキストフィルタも包括して構成している。そして、SNRが最大になるようにフィルタ係数を求めているので、従来よりも送受信装置における性能(ノイズ耐性)を向上させることができる。また、ルートナイキストフィルタも包括して構成  
20 しているので、ハード規模を小さくすることができる。

このデジタルフィルタ105は、図3に示す構成を有する。I/Q歪み、位相歪み、同期ずれを補償するフィルタ201、202と、フィルタのフィルタ係数を設定する際に使用するフィルタ係数推定部209、210への切り替  
25

えを行うスイッチ205、206と、スイッチ205、206の切り替えのタイミングを制御するタイミング制御部203、204と、フィルタ構成の際に必要なとする既知信号である  $i_{desired}$  信号と  $q_{desired}$  信号を格納するメモリ211、212とを備えている。

- 5      また、フィルタ201、202は、図4に示すように、I（同相成分）信号及びQ（直交成分）信号用のそれぞれ配列された複数の遅延素子301と、受信信号及び各遅延素子301の出力を加算する加算器302とから構成されている。

このデジタルフィルタ105におけるフィルタ係数は、その送受信装置に  
10      固有に定常的に付与する歪みをキャンセルするものである。したがって、このフィルタ係数は、電源投入時などに一度求めるだけで良い。

そこで、まず、電源投入時などのフィルタ係数を求める場合に、タイミング制御部203、204がスイッチ205、206に対して制御信号を出力し、スイッチ205、206をフィルタ係数推定部209、210に切り替える。

- 15      フィルタ係数推定の際には、メモリ211、212に格納された既知信号と受信信号とを加算器207、208で加算して両者の間で差分をとり、その値をフィルタ係数推定部209、210に出力する。フィルタ係数推定部209、210では、所定のアルゴリズムによりフィルタ係数を設定する。このフィルタ係数は、フィルタ201、202に送られ、フィルタが構成される。

- 20      フィルタが構成された後に、タイミング制御部203、204がスイッチ205、206に対して制御信号を出力し、スイッチ205、206をBB復号処理部106への出力に切り替える。その後は、受信信号がフィルタ201、202を通過してI/Q歪み、同期ずれ、位相歪みを補償された状態でBB復号処理部106に出力される。

- 25      フィルタ201、202は、図4に示すように、複数の遅延素子301を有しているので、この遅延素子301による遅延処理により、同期ずれを吸収することができる。また、上記フィルタ係数推定部209、210で求められた



フィルタ係数を用いて設定されたフィルタ 201, 202 を受信信号が通過することにより、受信信号がアナログ直交検波部 102 に加わった I/Q 歪みや位相歪みを補償することができる。

上述したように、フィルタ 201, 202 のフィルタ係数は、電源投入時などに一度求めるだけで良く、その後の歪み補償動作においてはフィルタ係数の演算が不要となるので、フィルタ係数設定のための装置負荷を軽減することができる。

次に、フィルタ 201, 202 の構成方法について説明する。簡単のため、1 タップで入力信号の I/Q レベル比が 2:1 の場合を例に説明する。なお、以下で説明する 4 実数 (a, b, c, d) は、タップ数分求められる。

まず、DC オフセット成分の検出のため、ある信号区間、同相成分と直交成分を各々単に足しあわせ、得られた足し算結果を足しあわせたサンプル数で割り、その値を DC オフセット成分として、受信信号から差し引く。

次に、図 5 に示すいわゆる 4 実数フィルタにより、I (同相成分) に関するフィルタ係数を収束させる。ここで、フィルタ係数の収束アルゴリズムとして、推定誤差の 2 乗を最小にすることを規範とする LMS (Least Mean Square) アルゴリズム、RLS (Recursive Least Square) アルゴリズムなどを用いることができる。

図 5 より、 $(2i + jq) \cdot (a - jb) = (2ai + bq) + j(aq - 2bi)$  が求められる。ここでは、同相成分にのみ着目して、LMS (又は RLS) で使用する誤差は  $i_{\text{desired}} - (2ai + bq)$  とし、この誤差を最小にするように (a, b) を収束させる。この例では、最終的に求められる (a, b) = (0.5, 0.0) になるはずである。

次に、図 5 に示すいわゆる 4 実数フィルタにより、Q (直交成分) に関するフィルタ係数を収束させる。図 5 より、 $(2i + jq) \cdot (c - jd) = (2ci + dq) + j(cq - 2di)$  が求められる。ここでは、直交成分にのみ着目して、LMS (又は RLS) で使用する誤差は  $q_{\text{desired}} - (cq - 2di)$

とし、この誤差を最小にするように(c, d)を収束させる。この例では、最終的に求められる(c, d) = (1. 0, 0. 0)になるはずである。

上記の収束処理を既知信号区間繰り返し、最終的にフィルタ係数を求める。  
すなわち、同相成分のタップ係数と直交成分のタップ係数を独立して推定する。

- 5 これにより求められたフィルタ係数を使って構成されるものが本実施の形態におけるデジタルフィルタ(図3におけるフィルタ201, 202)となる。

また、上記収束処理において、初期値としてルートナイキストフィルタの係数(実数)を同相成分に持たせることにより、収束性を高めることもできる。

- 10 このように、本実施の形態に係る送受信装置は、DCオフセット以外のI/Q歪み、同期ずれ、位相歪み、すなわちアンテナ端からA/D変換に至るアナログ回路で生じる歪み及び同期ずれを一括してデジタル信号処理により補償するので、簡単な処理で補償動作を行うことができる。これにより、従来煩雑であった各補償動作を省略することができる。

#### (実施の形態2)

- 15 実施の形態1で説明したデジタルフィルタ、すなわち4実数フィルタは、送受信装置の等化器に適用することができる。以下の実施の形態2, 3では、実施の形態1で説明したデジタルフィルタを等化器に適用する場合について説明する。

- 20 図6は、本発明の実施の形態2に係る送受信装置の構成の一部を示すブロック図である。

この構成は、フィードフォワードタップのフィルタ(以下、FFフィルタ)を有する等化器であり、遅延波が直接波よりも大きくなる条件の場合に、受信信号に対して有効に等化フィルタリング処理できるものである。

- 25 すなわち、図6に示す等化器は、受信信号に対して等化フィルタリング処理を行うFFフィルタ501と、等化フィルタリング処理後の信号を判定するデータ判定部502と、FFフィルタリング処理された信号と既知信号であるトレーニング信号との差分を出力する加算器503と、加算器503の出力を誤

差信号としてFFフィルタ501のタップ係数を推定する係数推定部504とを備えている。

また、FFフィルタ501は、受信信号を遅延させる遅延器5011と、受信信号にFFタップ係数を乗算する乗算器5012と、乗算結果を加算する加算器5013とを有する。

上記構成を有する等化器では、まず受信信号のトレーニング区間を用いてFFタップ係数の推定が行われる。受信信号がFFフィルタ501へ入力され、等化フィルタリング処理が行われる。具体的には、受信信号は遅延器5011で遅延されて、それぞれ乗算器5012でFFタップ係数と乗算され、それらの乗算結果が加算器5013で加算される。加算後の信号は、既知のトレーニング信号と減算されて誤差信号が生成される。この誤差信号は、係数推定部504に出力される。係数推定部504では、実施の形態1と同様にして、同相成分に係るタップ係数 $a$ 、 $b$ と、直交成分に係るタップ係数 $c$ 、 $d$ とをそれぞれ独立に誤差信号が最小となるように、LMS（又はRLS）などのアルゴリズムで収束させる。このようにして求められたタップ係数 $a$ 、 $b$ 、 $c$ 、 $d$ は、FFフィルタ501の乗算器5012に出力される。

受信信号のトレーニング信号に続けて入力される情報信号に対しては、求められたタップ係数 $a$ 、 $b$ 、 $c$ 、 $d$ で等化フィルタリング処理が行われる。等化フィルタリング処理された情報信号は、判定部502で判定される。

本実施の形態に係る送受信装置における等化器では、位相回転及び振幅変化で歪み補償を行う従来の複素フィルタと異なり、歪んだ状態の受信信号の波形の整形を行うことができるので、位相回転及び振幅変化だけでは補償できない歪み補償を行うことが可能となる。これにより、本実施の形態に係る送受信装置は、受信性能を向上させることができる。

## 25 (実施の形態3)

図7は、本発明の実施の形態3に係る送受信装置の構成の一部を示すブロック図である。

この構成は、フィードバックタップのフィルタ（以下、FBフィルタ）を有する等化器であり、FBフィルタを用いて直接波だけでなく遅延波の受信信号予測値（レプリカ）を生成することにより、受信信号に対して有効に等化処理できるものである。

- 5     すなわち、図7に示す等化器は、MLSEによる判定信号あるいは既知のトレーニング信号から受信予測値（レプリカ）の生成を行うFBフィルタ601と、生成したレプリカと受信信号との差分を出力する加算器602と、レプリカと受信信号との間の誤差信号から送信された信号の推定を行うMLSE  
10     (Maximum Likelihood Sequence Estimation) 603と、FBフィルタリング処理されたトレーニング信号と受信信号との差分を誤差信号としてFBフィルタ601のタップ係数を推定する係数推定部604とを備えている。

- また、FBフィルタ601は、受信信号を遅延させる遅延器6011と、受信信号にFBタップ係数を乗算する乗算器6012と、乗算結果を加算する加  
15     算器6013とを有する。

上記構成を有する等化器では、既知信号であるトレーニング信号が係数推定部604に入力されて、係数推定部604では、このトレーニング信号に基づいてFBフィルタ601のFBタップの係数が推定される。このFBタップの係数は、FBフィルタ601の乗算器6012に出力される。

- 20     受信信号のトレーニング信号部分がFBフィルタ601に入力されると、このトレーニング信号に対して等化フィルタリング処理が行われる。具体的には、トレーニング信号は、遅延器6011で遅延されて、それぞれ乗算器6012で、FBタップの係数と乗算され、それらの乗算結果が加算器6013で加算される。

- 25     このようにして等化フィルタリング処理されたトレーニング信号は、加算器602で既知のトレーニング信号と加算（減算）されて誤差信号が求められる。この誤差信号は、係数推定部604に出力される。

係数推定部 604 では、実施の形態 1 と同様にして、同相成分に係るタップ係数  $a$ 、 $b$  と、直交成分に係るタップ係数  $c$ 、 $d$  とをそれぞれ独立に誤差信号が最小となるように、LMS（又は RLS）などのアルゴリズムで収束させる。このようにして求められたタップ係数  $a$ 、 $b$ 、 $c$ 、 $d$  は、FB フィルタの乗算器 5 器に出力される。

受信信号のトレーニング信号に続けて入力される情報信号に対しては、加算器 6013 の出力であるレプリカが受信信号から差し引かれ誤差信号が生成される。この誤差信号は MLSE 603 へ入力され、MLSE はこの誤差信号に基づき最尤系列推定を行い、送信信号候補を出力する。この送信信号候補は、FB フィルタへ入力されてレプリカが生成される。この処理が繰り返し行われ、受信信号の復号処理が行われる。

本実施の形態に係る送受信装置における等化器では、位相回転及び振幅変化で歪み補償を行う従来の複素フィルタと異なり、受信の歪みに合わせた直接波及び遅延波の歪んだレプリカ信号を生成することができるので、位相回転及び振幅変化だけでは補償できない歪み補償を行うことが可能となる。これにより、受信性能を向上させることができる。

実施の形態 3 においては、MLSE を用いた場合について説明しているが、本実施の形態においては、MLSE の代わりに DFE（Decision Feedback Equalizer）を用いた場合にも適用することができる。

実施の形態 2 で説明した FF フィルタと、実施の形態 3 で説明した FB フィルタは、適宜併用することが可能である。これにより、直接波と遅延波のいずれのレベルが高い場合でも優れた受信性能を発揮させることができる。また、FF フィルタと FB フィルタを併用した場合において、FF フィルタと FB フィルタのいずれか一方に本発明に係るディジタルフィルタを適用しても良い。

なお、FF フィルタと FB フィルタを併用した場合において、MLSE を用いるときには、すべてのタップ係数が 0 となることをさけるために、FB タップの一つを 1 に固定することが好ましい。

上記実施の形態 1～3 に係る送受信装置のデジタルフィルタは、装置内の他のフィルタを兼ねる構成を採っても良い。これにより、歪み及び同期ずれを一括して補償する処理と送受信機の元々のフィルタ処理を一括して行うことが可能であり、装置負荷を軽減することができる。

- 5      また、上記実施の形態 1～3 に係る送受信装置のデジタルフィルタは、アダプティブアレイアンテナのアンテナ素子間の位相回転の補償にも適用することができる。具体的には、本デジタルフィルタがアンテナ素子間の給電線差による位相回転を補償するように構成しても良い。

- 10      本発明の送受信装置は、デジタル無線通信システムにおける基地局装置や移動局のような通信端末装置に適用することができる。

本発明は、上記実施の形態に限定されず、種々変更して実施することが可能である。例えば、デジタルフィルタの構成方法は、上記方法に限定されない。また、上記実施の形態 1～3 は、適宜組み合わせる実施することができる。

- 15      本発明の送受信装置は、受信信号に対してアンテナ端から A/D 変換におけるアナログ処理により生じた歪み及び同期ずれを一括して補償する第 1 デジタルフィルタを備えたことを特徴とする。

- 20      本発明の送受信装置は、受信信号に対してアンテナ端から A/D 変換におけるアナログ処理により生じた歪み及び同期ずれを一括して補償する第 1 デジタルフィルタを備えた受信機と、D/A 変換により送信信号に付与される歪みを補償するための逆特性を付与する第 2 デジタルフィルタを備えた送信機と、を具備する構成を採る。

- 25      これらの構成によれば、DC オフセット以外の I/Q 歪み、同期ずれ、位相歪みを一括してデジタル信号処理により補償するので、簡単な処理で補償動作を行うことができる。これにより、従来煩雑であった各補償動作を省略することができる。

本発明の送受信装置は、上記構成において、第 1 及び第 2 デジタルフィルタは、装置内の他のフィルタを兼ねる構成を採る。

この構成によれば、歪み及び同期ずれを一括して補償する処理と送受信機の元々のフィルタ処理を一括して行うことが可能であり、装置負荷を軽減することができる。

本発明の送受信装置は、上記構成において、第1及び第2デジタルフィルタは、フィルタ係数が設定されることにより構成されるフィルタと、前記フィルタ係数を推定するフィルタ係数推定部と、前記フィルタ通過後の受信信号を前記フィルタ係数推定部に出力するか受信出力にするかを切り替える切替部と、前記切替部の切り替えタイミングを制御するタイミング制御部と、を有する構成を採る。

10 この構成によれば、デジタルフィルタのフィルタ係数を、電源投入時などに一度求めるだけで良く、その後の歪み補償動作においてはフィルタ係数の演算が不要となるので、フィルタ係数設定のための装置負荷を軽減することができる。

本発明の送受信装置は、上記構成において、前記フィルタが、複数の遅延素子で構成されている構成を採る。

本発明の送受信装置は、上記構成において、+、-の出現確率が等しいランダムデータを用いて受信信号に対してDCオフセット補償を行うDCオフセット補償部を具備する構成を採る。

この構成によれば、単に所定信号区間足しあわせる簡単なデジタル処理でDCオフセット補償を行うことができる。これにより、煩雑な調整動作を省くことができる。

本発明の送受信装置は、上記構成において、第1デジタルフィルタで設定されたフィルタ係数を第2デジタルフィルタで用いる構成を採る。

この構成によれば、送信機側で新たにフィルタ係数設定のための演算を行うことが不要となり、装置負荷を軽減することができる。

本発明の送受信装置は、上記構成において、前記第1及び第2デジタルフィルタが、4組の実数値のタップ係数から構成され、フィルタ出力の同相成分

及び直交成分に係るタップ係数の組が独立に係数推定される構成を採る。

- 本発明の送受信装置は、等化器を備えた送受信装置であって、前記等化器は、4組の実数値のタップ係数から構成されフィルタを備え、フィルタ出力の同相成分及び直交成分に係るタップ係数の組が独立に係数推定されるタップ係数
- 5 推定部を備える構成を採る。

この構成によれば、位相回転及び振幅変化で歪み補償を行う従来の複素フィルタと異なり、歪んだ状態の受信信号の波形の整形を行うことができるので、位相回転及び振幅変化だけでは補償できない歪み補償を行うことが可能となる。これにより、受信性能を向上させることができる。

- 10 本発明の送受信装置は、上記構成において、前記タップ係数が、フィードフォワードタップ及びフィードバックタップの少なくとも一方のタップ係数として使用する構成を採る。

この構成によれば、歪みを伴った受信信号が等化器へ入力された場合でも、等化器の優れた受信性能を発揮することができる。

- 15 本発明の基地局装置は、上記送受信装置を備えたことを特徴とする。また、本発明の通信端末装置は、上記送受信装置を備えたことを特徴とする。これらの構成によれば、DCオフセット以外のI/Q歪み、同期ずれ、位相歪みを一括してデジタル信号処理により補償するので、簡単な処理で補償動作を行うことができる。これにより、基地局装置や通信端末装置において、従来煩雑で
- 20 あった各補償動作を省略することができる。

- 以上説明したように本発明の送受信装置は、DCオフセット以外のI/Q歪み、同期ずれ、位相歪みを一括してデジタルフィルタを用いてデジタル信号処理により補償するので、簡単な処理で補償動作を行うことができる。これにより、従来煩雑であった各補償動作を省略することができる。さらに、デ
- 25 ジタルフィルタにルートナイキストフィルタも包括して、SNRが最大になるようにフィルタ係数を求めているので、従来よりも送受信装置における性能（ノイズ耐性）を向上させることができる。



本明細書は、1999年9月29日出願の特願平11-277386号及び2000年1月18日出願の特願2000-009267号に基づく。これらの内容はすべてここに含めておく。

#### 5 産業上の利用可能性

本発明は、デジタル無線通信システムにおける基地局装置や通信端末装置に適用することができる。

## 請求の範囲

1. 受信信号に対してアンテナ端から A/D 変換におけるアナログ処理により生じた歪み及び同期ずれを一括して補償する第 1 デジタルフィルタを備えた送受信装置。
- 5 2. 受信信号に対してアンテナ端から A/D 変換におけるアナログ処理により生じた歪み及び同期ずれを一括して補償する第 1 デジタルフィルタを備えた受信機と、D/A 変換により送信信号に付与される歪みを補償するための逆特性を付与する第 2 デジタルフィルタを備えた送信機と、を具備する送受信装置。
- 10 3. 第 1 及び第 2 デジタルフィルタは、装置内の他のフィルタを兼ねる請求項 1 記載の送受信装置。
4. 第 1 及び第 2 デジタルフィルタは、フィルタ係数が設定されることにより構成されるフィルタと、前記フィルタ係数を推定するフィルタ係数推定手段と、前記フィルタ通過後の受信信号を前記フィルタ係数推定手段に出力するか  
15 受信出力にするかを切り替える切替手段と、前記切替手段の切り替えタイミングを制御するタイミング制御手段と、を有する請求項 1 記載の送受信装置。
5. 前記フィルタは、複数の遅延素子で構成されている請求項 4 記載の送受信装置。
6. +、- の出現確率が等しいランダムデータを用いて受信信号に対して DC  
20 オフセット補償を行う DC オフセット補償手段を具備する請求項 1 記載の送受信装置。
7. 第 1 デジタルフィルタで設定されたフィルタ係数を第 2 デジタルフィルタで用いる請求項 1 記載の送受信装置。
8. 前記第 1 及び第 2 デジタルフィルタは、4 組の実数値のタップ係数から  
25 構成され、フィルタ出力の同相成分及び直交成分に係るタップ係数の組が独立に係数推定される請求項 1 記載の送受信装置。
9. 等化器を備えた送受信装置であって、前記等化器は、4 組の実数値のタッ

ブ係数から構成されフィルタを備え、フィルタ出力の同相成分及び直交成分に係るタップ係数の組が独立に係数推定される送受信装置。

10. 前記タップ係数は、フィードフォワードタップ及びフィードバックタップの少なくとも一方のタップ係数として使用する請求項9記載の送受信装置。

- 5 11. 送受信装置を備えた基地局装置であって、前記送受信装置は、受信信号に対してアンテナ端からA/D変換におけるアナログ処理により生じた歪み及び同期ずれを一括して補償する第1デジタルフィルタを備える。

12. 送受信装置を備えた通信端末装置であって、前記送受信装置は、受信信号に対してアンテナ端からA/D変換におけるアナログ処理により生じた歪

- 10 み及び同期ずれを一括して補償する第1デジタルフィルタを備える。

**This Page Blank (uspto)**

1 / 7

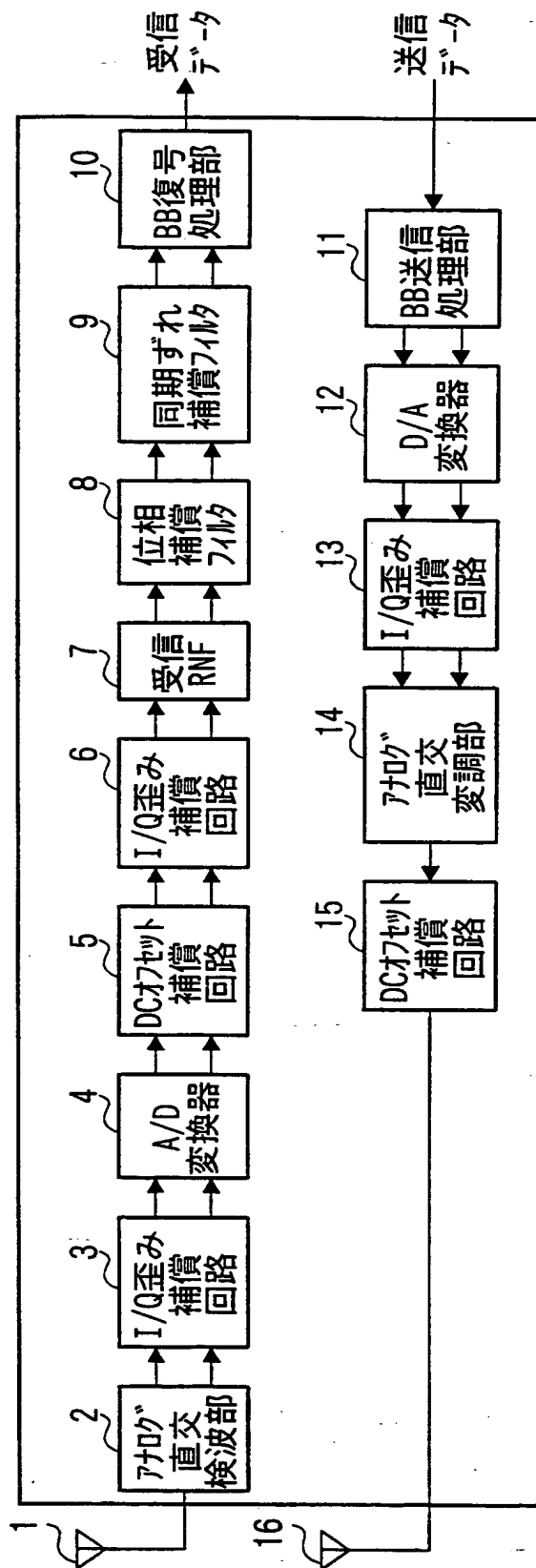


図 1

This Page Blank (uspto)

2 / 7

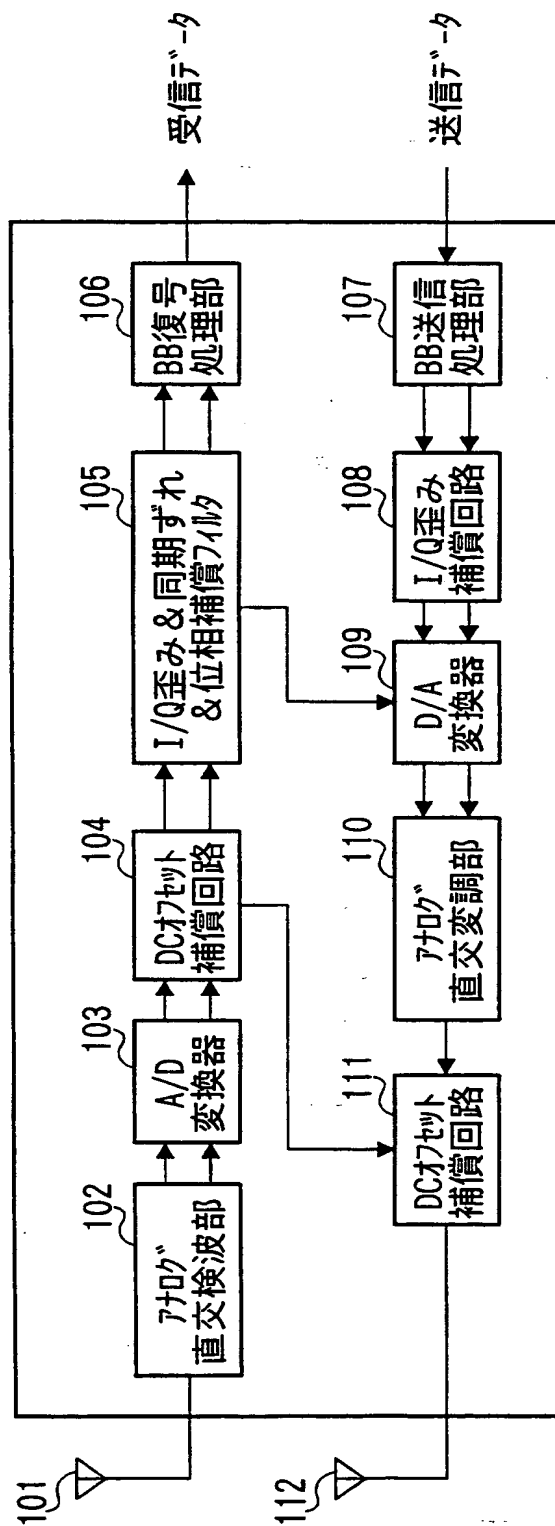


図 2

**This Page Blank (uspto)**



3 / 7

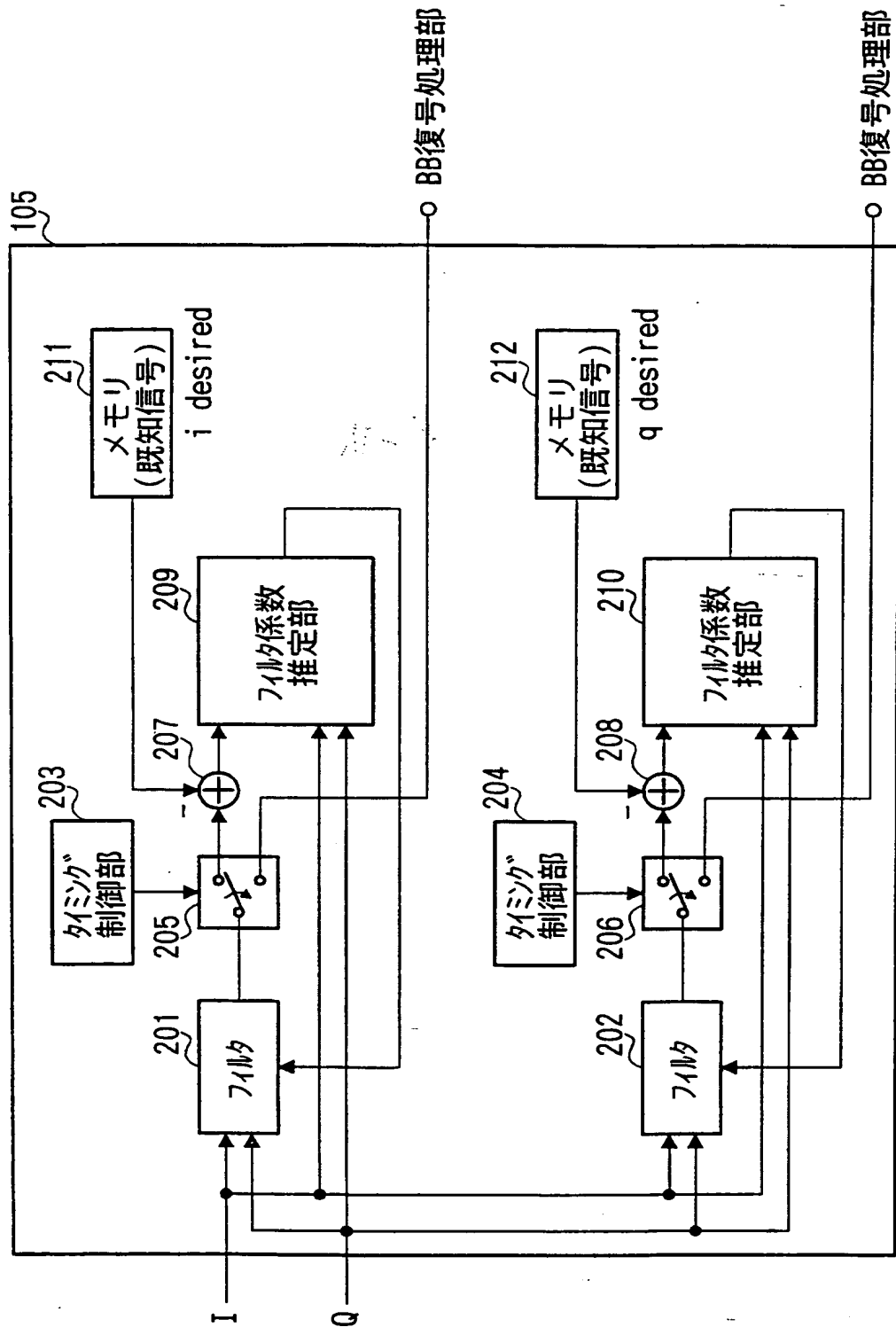


図 3

*This Page Blank (uspto)*

4 / 7

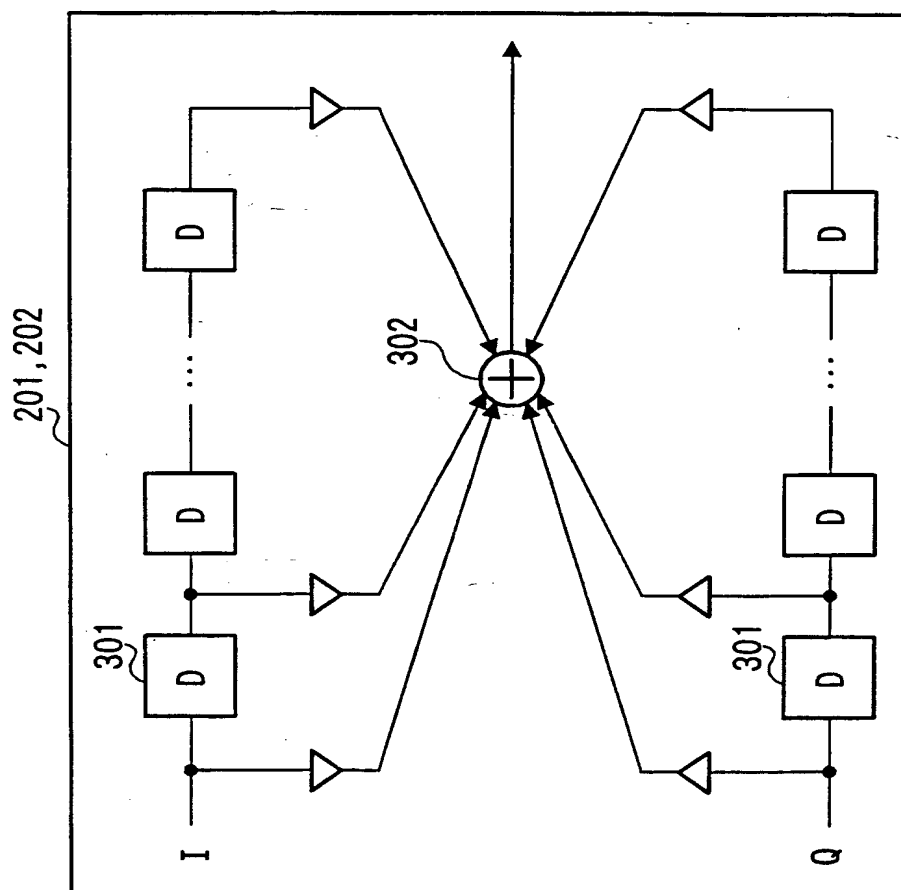


図 4

***This Page Blank (uspto)***

5 / 7

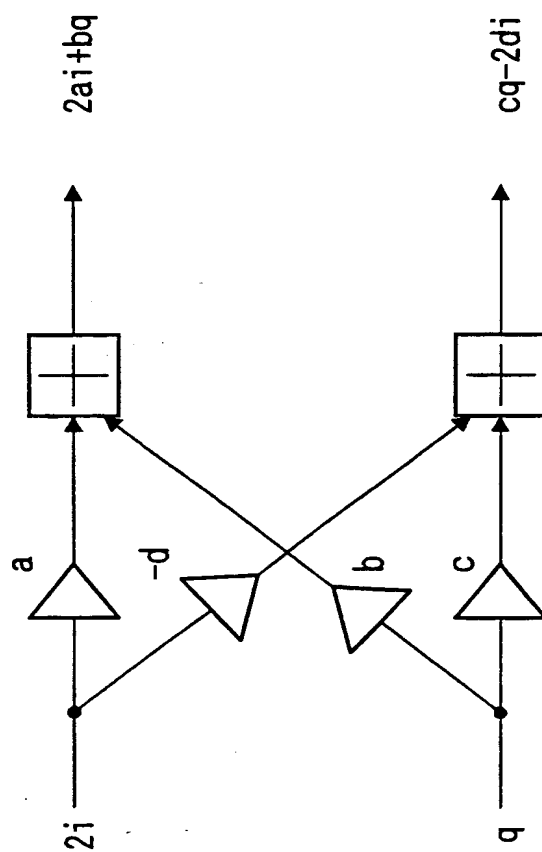


図 5

**This Page Blank (uspto)**

6 / 7

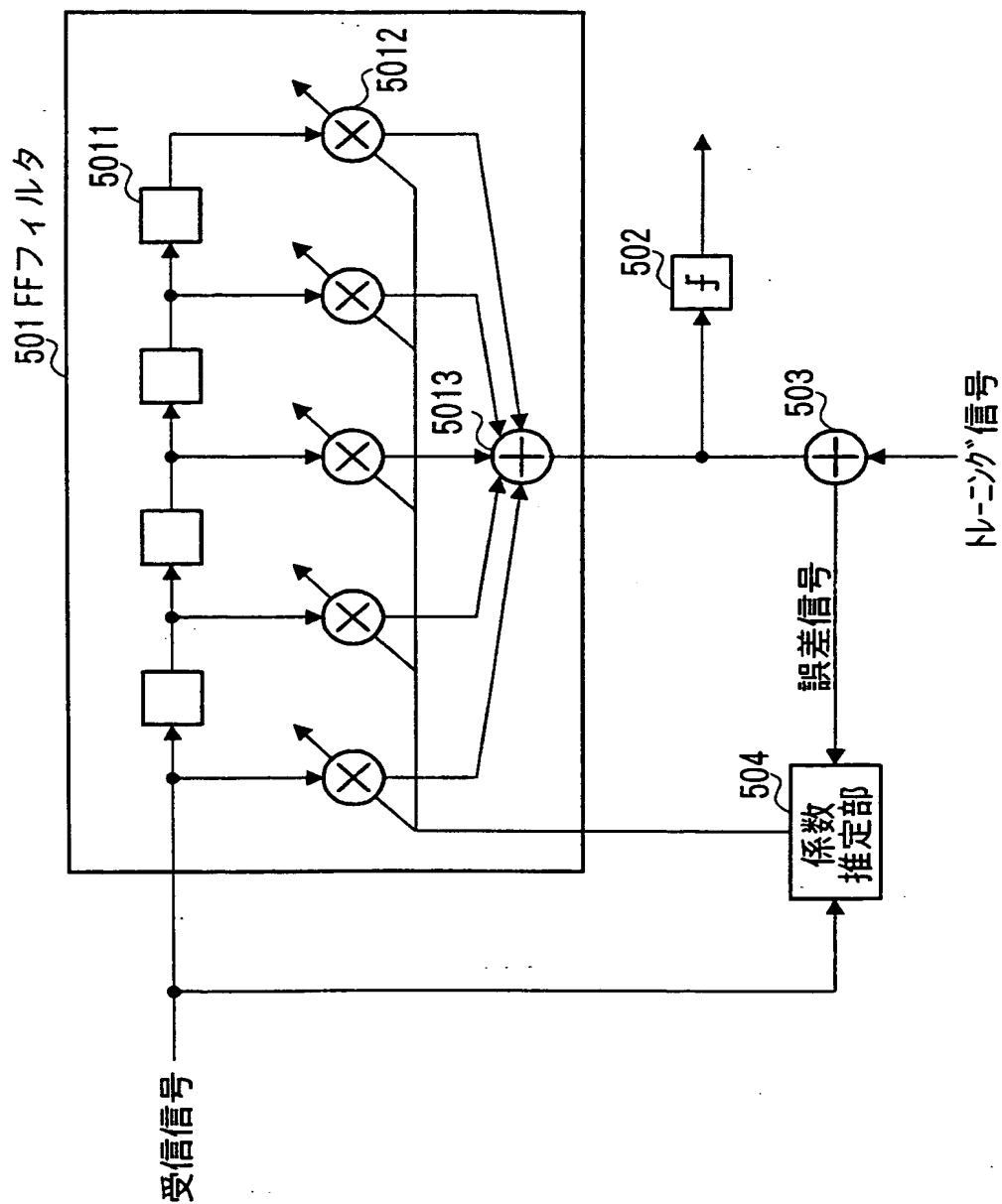


図 6

**This Page Blank (uspto)**



7 / 7

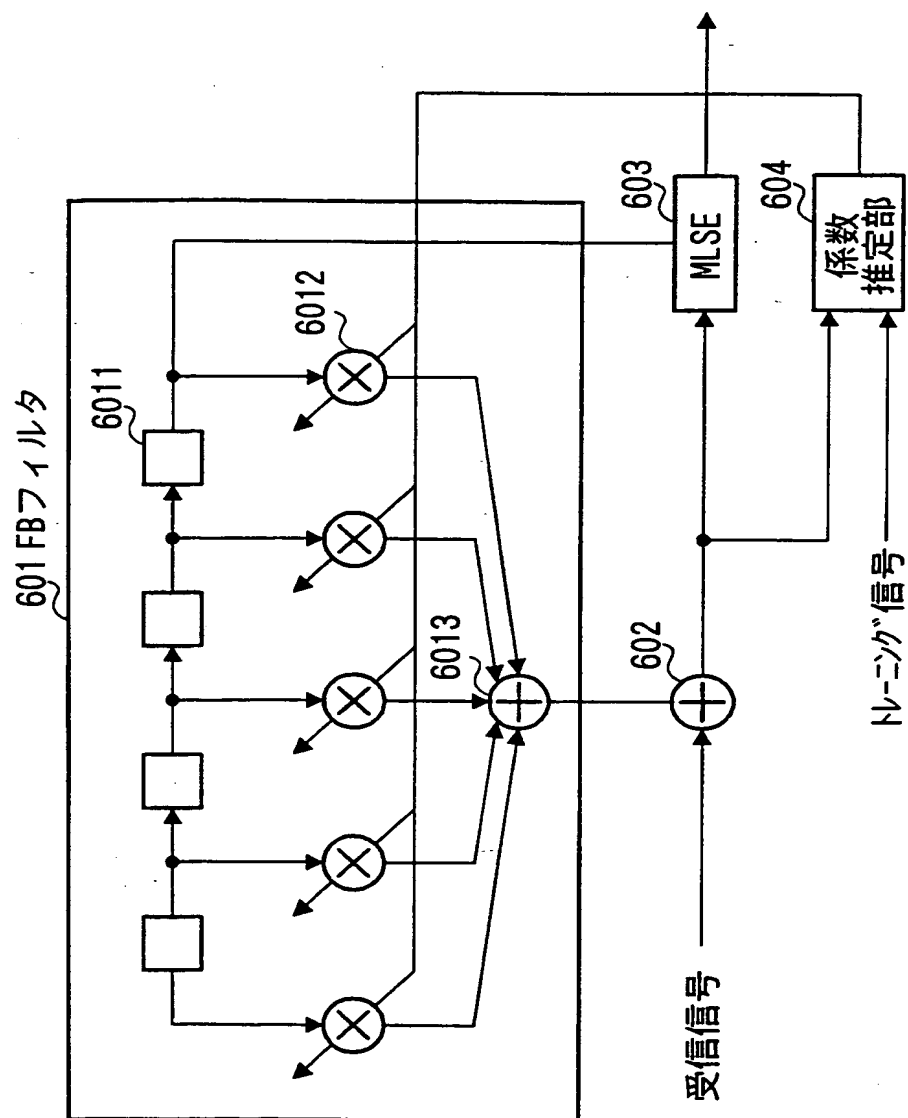


図 7

This Page Blank (uspto)